

Method of fabricating flat field emission display screens and flat screen obtained thereby

Patent Number: ☒ EP0834897, B1
Publication date: 1998-04-08
Inventor(s): BALDI LIVIO (IT); MARANGON MARIA SANTINA (IT)
Applicant(s): SGS THOMSON MICROELECTRONICS (IT)
Requested Patent: ☒ JP10188785
Application Number: EP19960830509 19961004
Priority Number(s): EP19960830509 19961004
IPC Classification: H01J9/02; H01J1/30
EC Classification: H01J9/02B2; H01J1/304B
Equivalents: DE69621017D, DE69621017T, ☒ US6036566
Cited Documents: US5315206; WO9618206; US5457355

Abstract

The microtips (14) of charge emitting material, which define the cathode of the flat FED screen and face the grid of the screen, are tubular and have portions (16) with a small radius of curvature. The microtips (14) are obtained by forming openings (10) in the dielectric layer (6) separating the cathode connection layer (3, 5) from the grid layer (8), depositing a conducting material layer (11, 12) to cover the walls of the openings, and anisotropically etching the layer of conducting material to remove it, i.e., from the upper edge of the portion covering the walls, so as to form inwardly-inclined surfaces (15) with emitting tips (16). Subsequently, the portions of the dielectric layer surrounding the microtips are removed (18).

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-188785

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 J 9/02

H 0 1 J 9/02

B

H 0 1 L 29/06

H 0 1 L 29/06

審査請求 未請求 請求項の数16 O L (全 8 頁)

(21) 出願番号 特願平9-271094

(22) 出願日 平成9年(1997)10月3日

(31) 優先権主張番号 9 6 8 3 0 5 0 9 . 4

(32) 優先日 1996年10月4日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 992032889

エスジーエーストムソン マイクロエレクトロニクス エス. アール. エル.

SGS-THOMSON MICROELECTRONICS S. R. L.

イタリア国 20041 ミラノ アグラテ

ブリアンツァ ヴィア シー. オリヴ

エッティ 2

(72) 発明者 リヴィオ・バルディ

イタリア国, 20041 アグラテ・ブリア

ンツァ、ヴィア・ダンテ、26/28

(74) 代理人 弁護士 筒井 大和 (外2名)

最終頁に続く

(54) 【発明の名称】 平面FEDスクリーンの製造方法および平面FEDスクリーン

(57) 【要約】

【課題】 一般的なマイクロエレクトロニクス技術と設備を使用して遙かに少ないコストにてマイクロチップを形成することを可能にする製造方法を提供する。

【解決手段】 平面FEDスクリーンのカソードを画定しそのスクリーンのグリッドを指向する電荷放出材料の構造体14は、管状体で小さな曲率半径の部分16を有する。この構造体14は、第1の導電層3および抵抗層5を第2の導電層8から分離している誘電層6内に開口部を形成し、開口部の壁をカバーする導電材料の層および導電層を堆積し、放出チップである部分16が付いている内側に傾斜したエッジ15を形成するように、壁をカバーする部分の上端から導電材料の層を取り除くために導電材料の層を異方性的にエッチングすることによって得られる。この後、構造体14を囲む誘電層6の部分を取り除く。

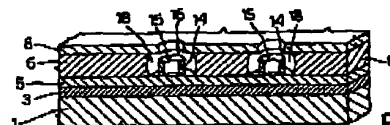


Fig. 5

(2)

特開平10-188785

1

【特許請求の範囲】

【請求項1】 第1の導電層(3, 5)を形成するステップと、

前記第1の導電層の上に絶縁層(6)を形成するステップと、

前記絶縁層の上に第2の導電層(8)を形成するステップと、

前記第2の導電層および前記絶縁層の中に壁を有する開口部(10; 27)を形成するステップとを有する平面FEDスクリーンの製造方法であって、

前記開口部の前記壁を電荷放出材料の部分(14; 30)でカバーするステップと、

電荷放出材料の前記部分を異方性的にエッチングするステップとをさらに備えることを特徴とする平面FEDスクリーンの製造方法。

【請求項2】 請求項1記載の平面FEDスクリーンの製造方法であって、異方性的にエッチングする前記ステップに、電荷放出材料の前記部分(14; 30)を囲む前記絶縁層(6)の選択領域を取り除くステップが続くことを特徴とする平面FEDスクリーンの製造方法。

【請求項3】 請求項2記載の平面FEDスクリーンの製造方法であって、前記取り除くステップは、前記第1および第2の導電層(3, 5, 8)および電荷放出材料の前記部分(14; 30)に関して選択的に前記絶縁層(6)を等方性的にエッチングするステップからなることを特徴とする平面FEDスクリーンの製造方法。

【請求項4】 請求項1〜3のいずれか1項に記載の平面FEDスクリーンの製造方法であって、前記カバーするステップは、前記絶縁層(6)の上および前記開口部(10; 27)の中に導電材料の層(12; 29)を形成するステップからなり、前記異方性的にエッチングするステップは、前記導電材料層の部分の前記第2の導電層(8)、前記開口部の底部および電荷放出材料の前記部分(14; 30)の上部エッジから部分的に取り除くステップからなり、前記開口部の前記壁に対して傾斜している電荷放出材料の前記部分(14; 30)の上面(15; 31)および小さな曲率半径の部分(16; 32)を形成することを特徴とする平面FEDスクリーンの製造方法。

【請求項5】 請求項4記載の平面FEDスクリーンの製造方法であって、導電材料の層(12; 29)を形成する前記方法は、化学蒸着によって行われることを特徴とする平面FEDスクリーンの製造方法。

【請求項6】 請求項4または5記載の平面FEDスクリーンの製造方法であって、前記導電材料は、タングステン、ドーパした単結晶のシリコンおよびドーパしたアモルファスシリコンからなるグループから選択されることを特徴とする平面FEDスクリーンの製造方法。

【請求項7】 請求項1〜6のいずれか1項に記載の平面FEDスクリーンの製造方法であって、前記第1および

2

び第2の導電層(3, 8)は、クローム、モリブデン、アルミニウム、ニオブ、タングステン、タングステン窒化物、チタン窒化物、およびドーパしたアモルファスおよび単結晶のシリコンからなるグループから選択された材料から形成されることを特徴とする平面FEDスクリーンの製造方法。

【請求項8】 請求項4〜7のいずれか1項に記載の平面FEDスクリーンの製造方法であって、導電材料の層(12; 29)を形成する前記ステップの前に接着層(11; 28)が堆積されることを特徴とする平面FEDスクリーンの製造方法。

【請求項9】 請求項8記載の平面FEDスクリーンの製造方法であって、前記導電材料はタングステンであり、前記接着層はチタン/チタン窒化物からなることを特徴とする平面FEDスクリーンの製造方法。

【請求項10】 請求項4〜9のいずれか1項に記載の平面FEDスクリーンの製造方法であって、異方性エッチングの前記ステップは、電荷放出材料の前記部分(14; 30)の高さを低くするためにオーバーエッチングすることからなることを特徴とする平面FEDスクリーンの製造方法。

【請求項11】 請求項1〜10のいずれか1項に記載の平面FEDスクリーンの製造方法であって、開口部(27)を形成する前記ステップは、前記第2の導電層の中に第1のキャビティ(22)を形成するステップからなり、前記第1のキャビティは横方向の壁を固定し、前記第1のキャビティの前記横方向の壁を囲むスペーサ(25)を形成し、また前記絶縁層(6)の中に前記スペーサによってマスクされた第2のキャビティを形成することを特徴とする平面FEDスクリーンの製造方法。

【請求項12】 請求項11記載の平面FEDスクリーンの製造方法であって、スペーサ(25)を形成する前記ステップは、前記第2の導電層(8)の上および前記第1のキャビティ(22)の中にスペーシング層(23)を形成し、前記スペーシング層を異方性エッチングするステップからなることを特徴とする平面FEDスクリーンの製造方法。

【請求項13】 請求項12記載の平面FEDスクリーンの製造方法であって、前記スペーシング層(23)が窒化物でできていることを特徴とする平面FEDスクリーンの製造方法。

【請求項14】 請求項11〜13のいずれか1項に記載の平面FEDスクリーンの製造方法であって、前記スペーシング層(23)を異方性エッチングする前記ステップに、前記スペーサ(25)を取り除くステップが続くことを特徴とする平面FEDスクリーンの製造方法。

【請求項15】 カソード領域(3, 5)と、前記カソード領域上の絶縁領域(6)と、前記絶縁領域上のグリッド領域(8)と、前記絶縁領域中の多数の開口部(18)と、前記開口部中の多数の放出構造体(14; 3

50

3

0)とからなり、前記放出構造体が前記カソード領域(3, 5)に電気的に接続されるとともに前記グリッド領域(8)に対向し前記グリッド領域(8)から距離をおいて配置されている平面FEDスクリーンであって、前記放出構造体(14; 30)が前記グリッド領域に対向する端面(15; 31)を備えた管状体であり、前記端面は内側に傾斜するとともに小さい曲率半径の部分(16; 32)を有することを特徴とする平面FEDスクリーン。

【請求項16】 請求項15記載の平面FEDスクリーンであって、前記放出構造体(14; 30)が円錐形であることを特徴とする平面FEDスクリーン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は平面FED(Field Emission Display: 電界放出ディスプレイ)スクリーンの製造方法およびその方法によって得られた平面スクリーンに関するものである。

【0002】

【従来の技術】 周知のように、ポータブルな電子機器(ラップトップコンピュータ、個人用オーガナイザ、ポケット形TV、電子ゲーム)へ向かう傾向が継続しているため、奥行きが浅く軽量で電流消費の少ない小型のモノクロスクリーンまたはカラースクリーンに対する膨大な需要がもたらされている。従来のブラウン管を使用したのでは寸法と奥行きについての要求事項に適合できないので、現在様々な技術が研究されている。その技術の中で、問題となっている特定用途に対して最も興味深いものは、LCD(液晶ディスプレイ)技術の他には、FED技術であり、この技術によって消費電力が少なく、CRTと同様のカラー品質が得られ、どの角度からでも見ることができるという利点を得ることができる。

【0003】 このFED技術(例えば、C.A. Spindtの米国特許第3,665,241号、第3,755,704号、第3,812,559号、第5,064,369号、およびR. Wasaらの米国特許第3,875,442号の対象)は、真空加速された電子のボンバードによってガラススクリーン上に堆積された発光性合成物を励起させることによって光が放出されるという点では、従来のCRT技術と同様である。2つの技術間の主な相違点は、電子ビームを発生しコントロールする方法にある。すなわち、従来のCRT技術は、単一のカソード(またはカラー当たりのカソード)を使用し、電子ビームは電界によってコントロールされスクリーン全体をスキャンする。これに対してFED技術では、スクリーンに平行にスクリーンから少し離して配置したグリッドによってそれぞれがコントロールされるマイクロチップからなる多数のカソードを使用し、グリッド電圧とカソード電圧の適切な組み合わせによってこのマイクロチップを逐次的に励起することによってスクリーンがスキャンされ

(3)

特開平10-188785

4

る。

【0004】 マトリックスの列を形成するカソード接続体は、ストリップの形状の第1の低抵抗率の導電層からなる。この第1の導電層の上に、誘電層によって電気的に絶縁して、システムのグリッドを形成する第2の導電層を、平行なストリップ形状にて、前者に垂直かつマトリックスの行を形成するように設ける。第2の導電層(グリッド)および誘電層は、第1の導電層まで延在するとともにマイクロチップを第1の導電層に電気的に接触するように適応させた開口部を備えている。

【0005】 電子放出はマイクロチップを通して発生するもので、このマイクロチップは、その先端で電界が増大することを利用するためにほぼ円錐形をして、先端材料(例えば、金属)と真空との間の障壁を減らしている。しかしながら、電子放出はエミッタの小さな曲率半径にほぼ依存するので、文献で引用されているように、プリズム状またはダブル円錐状の電極を利用して、効率的な放出を理論的に可能にすることもできる。

【0006】 カソードおよびマイクロチップを形成する方法は、例えば前述のSpindtの特許および米国特許第4,857,161号、第4,940,916号および第5,194,780号に記載されている。さらに特定して言うと、米国特許出願第4,857,161号では、以下のステップからなる。

【0007】 1. 第1の導電層(カソード)を、絶縁基板(ガラス)上に堆積する。

【0008】 2. 第1の導電層をマスクしエッチングして、マトリックスの列を形成する(カソード接続体)。

【0009】 3. 誘電層を堆積する。

【0010】 4. 第2の導電層(グリッド)を堆積する。

【0011】 5. 第2の導電層と誘電層の中に、直径が1.2~1.5mmで第1の導電層まで延在する円形の開口部をマスキングによって固定する。

【0012】 6. そのように形成された構造体の上に、ニッケルが開口部に入るのを防ぐために、高角度スパッタリングによってニッケル層を堆積する。

【0013】 7. ある金属(例えば、モリブデン)を次にスパッタリングによって堆積する。開口部の金属は第1の導電層に直接接触してチップを形成する。このステップは垂直またはほぼ垂直なスパッタリングによって行われ、開口部の壁およびニッケル層のシールド効果のために開口部の底に金属が堆積され、グリッド電極とはほぼ同じ高さのチップを備えた円錐形状となる。

【0014】 8. 第2の導電層上のニッケル層は電気化学エッチングによって取り除かれ、開口部の中に形成された円錐状のチップを損傷することなく、グリッド上に堆積した金属をリフトオフする。

【0015】 9. 第2の導電層および誘電層の周辺部がエッチングされ、カソード接続体の端部を解放する。

50

(4)

特開平10-188785

6

6

【0016】10. 第2の導電層をマスクしエッチングして、マトリックスの行を形成する(グリッド接続体)。

【0017】11. アノードとして動作する導電材料のコーティングを第2のガラス基板上に堆積する。カソードルミネセンス層を堆積する。そして、第2の基板を、カソードルミネセンス層とグリッド接続体との間にランダムに配置したスペーサとともにグリッド上に位置させる。

【0018】

【発明が解決しようとする課題】 上述の方法には次の欠点がある。すなわち、ステップ6の高角度のニッケル堆積は、問題のタイプの平面スクリーンの基板の寸法がかなり大きい(約 $27 \times 36 \text{ cm}$)のために極めて困難である。また、基板全体を確実に均一に堆積する必要がある。さらに、確実に等方性的に堆積するために、基板を堆積の間に回転させるという事実がある。このために、上述のステップには、複雑でかさばっていて高価な特別に設計された装置を使用しなければならない。

【0019】本発明の目的は、一般的なマイクロエレクトロニクス技術と設備を使用し、もって遙かに少ないコストにてマイクロチップを形成することを可能にする製造方法を提供することであり、これにより達成できる結果により大きな信頼性を与えることになる。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】 本題において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0022】本発明によれば、それぞれ特許請求の範囲1〜15で請求するように、平面FEDスクリーンを製造する方法およびその方法で得られる平面スクリーンを提供する。

【0023】實際上、本発明によれば、小さな曲率半径を有する部分の特徴とする管状のマイクロチップは、誘電層中に開口部を形成し、開口部の壁を覆う導電材料の層を堆積し、導電材料の層を異方性的にエッチングして壁を覆う部分の上端部から他の場所の間でそれを取り除き、上端部にテーパが付いた管状のマイクロチップを形成する。続いて、マイクロチップの周りの誘電層を選択的にエッチングすることによって得ることができる。

【0024】

【発明の実施の形態】 2つの好適な制限されない本発明の実施の形態を、添付の図面を参照して説明する。

【0025】図1〜図5は、実施の形態1に基づいて、各種の製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図を示す。

【0026】図6〜図13は、実施の形態2に関する同

様の断面図を示す。

【0027】(実施の形態1) 図1を参照し、まず最初に、第1の導電層3(例えば、クロミウム、モリブデン、アルミニウム、ニオブ、タングステン、タングステン珪化物、チタン珪化物、ドーパしたアモルファスまたは単結晶シリコン)を絶縁材料(例えば、セラミックまたはガラス)の基板1上に堆積する。次に、第1の導電層3をマスクしエッチングして、マトリックス(カソード接続体)の列を形成して図1に示す構造体を得る。

10 【0028】次に、マイクロチップ内の電流を制限したりさらに良く流すために、例えばドーパしたシリコンの複数の層からなる高抵抗率の抵抗層5を第1の導電層3の上に堆積する。誘電(例えば、シリコン酸化物)層6を次に堆積して、カソードをグリッド電極から絶縁する。第2の導電層8(例えば、第1の導電層3と同じ材料)を堆積してグリッド電極として作用させる。そして、マスキングおよびその後のエッチングにより、開口部10を第2の導電層8および誘電層6の中に画定して、図2に示すように、高抵抗率の抵抗層5まで延在する垂直な壁(例えば、直径が $0.8 \sim 1.5 \mu\text{m}$ の円形)の付いた井戸を形成する。

【0029】続いて、最終的にマイクロチップを形成する導電層12を、CVDによって堆積する。導電層12は、金属好ましくはタングステンが有利であり、それは約 $400 \sim 500^\circ\text{C}$ の温度で WF_6 、 H_2 および SiH_4 からCVDによって容易に堆積でき、このためガラス基板とも両立し得る。この場合、開口部10を形成した後でかつ導電層12を堆積する前に、チタン/チタン珪化物(簡単のため図3にのみ示してある)の薄い層11をスパッタリングまたはCVDによって堆積して、導電層12が堆積および付着することを支援することが好ましい。この代わりに、単結晶またはアモルファスシリコンを導電層12に使用することもできる。導電層12の全体の厚さ(もしある場合、層11を含む)は、 $400 \sim 800 \text{ nm}$ の範囲にあることが好ましく、開口部10の直径のほぼ半分以下でなければならない。CVDによれば、円形の開口部10の壁および底部を確実にかなり平坦に被覆できる。図3の構造体はこのようにして得られたものである。

40 【0030】この後、導電層12をエッチングして、マイクロチップを形成する。さらに詳細に説明すると、例えば導電層12がタングステンから作られている場合、 SF_6 、 Ar および O_2 の混合物の中で、異方性R. I. E (Reactive Ion Etching: 反応イオンエッチング) ステップを実行して、グリッド電極(第2の導電層8)の平坦な表面および開口部10の底部からすべてのタングステンを取り除く。カソード(第1の導電層3および抵抗層5)およびグリッド電極(第2の導電層8)を、ドーパしたアモルファスシリコンから形成し、導電層12をタングステンまたは一般にエッチングに対して

(5)

特開平10-188785

7

感度の異なる材料から形成することによって、第1の導電層3、5および8を損傷することなく、導電層12を選択的にエッチングできる。

【0031】導電層12は、開口部10の壁上では一層厚くなっているため、エッチングによって壁に導電層12の残留物が残ることになり、内側にテーパの付いた上端を有する円筒形の構造体が形成され、一方、導電層12は開口部の底から取り除かれるかまたはほとんど取り除かれる。一般に、開口部の底に残るタングステンの量は、堆積された厚さと開口部の直径との比率および実行されたエッチングの量に依存する。堆積およびエッチング条件が与えられれば、円筒形の構造体の上端は、円筒構造の外壁を持ち、放射に好適な小さな曲率半径（チップ）の部分を形成する高角度側面にあることができる。

【0032】第2の導電層8および開口部10の底部からのタングステン残留物を完全に取り除くため、また円筒形構造体のエッジをグリッド導体（第2の導電層8）の高さ以下に低くするための2つを確実に行うために、エッチングを継続してある量の、例えば基本的なエッチング時間の20〜30%増の、オーバーエッチングを行うと都合がよい。これを行うと図4に示す構造体ができあがることになり、この図では得られた円筒形の構造体を14で示し、第2の導電層12の高さ以下のテーパの付いたエッジを15で示し、また小さな曲率半径で放出面を構成する部分を16で示してある。

【0033】その後、円筒形の構造体14を囲む誘電層6の部分を、等方性エッチングによって取り除く。例えば、誘電層6がシリコン酸化物でできている場合、エッチングは希釈したHF溶液中で行う。この代わりに、等方性（例えば、間接プラズマ）エッチングを行って、図5の構造体を得ることができる。この図では、等方性エッチングによって誘電層6中に形成されたキャビティ18を示している。このステップは、円筒形の構造体14（マイクロチップ）と第2の導電層8（カソード）との間の表面電導の問題を安全に除去するのに役に立つ。

【0034】グリッド接続体を形成するための周知のステップで製造ステップは進行する。すなわち、第2の導電層8をマスキングしエッチングすることにより、カソードの外部接触領域を形成するとともにアノードおよび発光構造を形成する。

【0035】（実施の形態2）図6〜図13によって、第2のやや複雑な実施の形態を示す。この実施の形態ではマイクロチップの上部放出エッジとグリッドとの間の距離を一層良くコントロールし、このためスクリーンをコントロールするために必要な電圧を低くすることができる。

【0036】実施の形態2では、既に説明したように、第1の導電層3を堆積する。エッチングを実行しマトリックスの列を画定する。高抵抗率の抵抗層5、誘電層6

8

および第2の導電層8を堆積する。この時点で、レジストマスク21（図6）を堆積し、第2の導電層8にまでしか延在しない第1の開口部（第1のキャビティ）22を形成する。この目的のために、第2の導電層8の材料に選択的異方性反応イオンエッチングを実施して、図6の構造体を得る。ここで例えば、第2の導電層8がアモルファスシリコンで誘電層6がシリコン酸化物の場合は、この反応イオンエッチングを容易に実施できる。

【0037】レジストマスク21を取り除いた後、スペーシング層23を堆積する。この場合その誘電材料は、第2の導電層8（グリッド導体）および下側の誘電層6の両方の材料について選択的エッチングができるように選ぶことが好ましい。例えばスペーシング層23は、CVD、あるいは堆積温度を低くするためにプラズマの支援を伴ったCVD（PECVD）によって堆積した窒化シリコンで作ることができる。スペーシング層23の厚さは、円形の第1の開口部22の直径によって異なり、図7に示す構造体を作るには約200〜400nmで良い。

【0038】スペーシング層23を次に第2の導電層8まで、第1の開口部22内では誘電層6までRIEによって異方性的にエッチングして、第1の開口部22の壁にスペーサ25を形成する（図8）。スペーシング層23のエッチングが第2の導電層8と誘電層6との両方の材料について選択性のある場合、第1の開口部22を形成するためのマスクレジストマスク21を堆積する前に、シリコン酸化物（図示せず）の薄い保護層を堆積することができる。

【0039】第2の導電層およびスペーサ25をシールドとして使用して、第1の開口部22の誘電層6を次にRIEによって異方性的に高抵抗率の抵抗層5までエッチングして、開口部27（図9）を形成する。この後に、図3および図4を参照して説明したように、マイクロチップを形成するステップが続く。さらに詳細に説明すると、チタン/チタン窒化物の層28（簡単のため図10にのみ示してある）を最初に堆積し、次に導電層29（例えば、図10ではタングステン）を堆積することが好ましい。これに続いて、層28および導電層29をRIEによって異方性的にエッチングして、それらを第2の導電層8の表面および開口部27の底部から取り除く。しかしながら、この場合、スペーサ25が存在していることを考慮すると、層28および導電層29を第2の導電層8の表面から取り除くための必要性によってのみエッチング時間が決定される。この結果、マイクロチップが、実施の形態1のように、小さな曲率半径の部分32を備えたテーパ付きのエッジ31を示すような図11の構造体が生ずることになる。

【0040】次に、例えば熱リン酸溶液または間接プラズマ（図12）の中に、スペーサ25を異方性エッチングによって取り除く。図5に関連して説明したよう

50

(6)

特開平10-188785

9

10

に、円筒形の構造体30を囲む誘電層6の部分、等方性エッチングによって取り除き、キャビティ18(図13)を得る。第2の導電層8をマスクしエッチングして、マトリックスの行(グリッド接続体)を形成し、最終的な操作を実行してスクリーンを得る。

【0041】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0042】たとえば、ここで説明し図示した方法とスクリーンに対して、本発明の範囲から逸脱せずに、変更を行うことができることは明瞭である。特に、ここに記載した以外の材料も都合良く使用できる。特に、有機材料(ポリイミド樹脂)は誘電体の材料として使用でき、酸素プラズマ中でエッチングできる。導電層(カソードおよびグリッド)は、マイクロチップとは異なる材料(例えば、タングステン、タングステン珪化物、クロムまたはニオブの導電層、アモルファスシリコンのマイクロチップ)か、または、第2の導体用のシリコン酸化物のような保護層を使用し、タングステンのような金属の層が付いたマイクロチップを選択的にカバーすることにより同じ材料(例えば、ドーパしたアモルファスシリコン)から作ることができる。さらに、2つの導電層は、例えばここで示した材料から選択して、異なる材料から作ることができる。

【0043】以上の説明では主として本発明者によってなされた発明をその利用分野である平面FEDスクリーンに適用した場合について説明したが、これに限定されるものではない。

【0044】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0045】すなわち、説明した方法には、次のような利点がある。第1に、この方法は周知の技術および標準的なマイクロエレクトロニクス設備を使用してカソードマイクロチップを形成する方法を提供し、このため、これまでFEDスクリーンに提案されてきた技術と比較してコストを下げることができる。さらに、周知の技術を使用するため、程度の高い操作性およびこの方法と結果について信頼性を確実なものにする。必要なステップも、大型スクリーンの場合に優れた結果をもたらす。このために得られるスクリーンは、マイクロチップの高角度放射面が広範囲であるため、その放射効率が優れており、電子の放射が容易になっている。この説明した方法は、開口部の直径または堆積された層の厚さにほとんど無関係であり、特に実施の形態2では、グリッドとマイクロチップとの間の距離を正確にコントロールするので、このためスクリーンをコントロールするために必要な電圧を低くし一層均一な放射を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図2】本発明の実施の形態1である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図3】本発明の実施の形態1である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図4】本発明の実施の形態1である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図5】本発明の実施の形態1である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図6】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図7】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図8】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図9】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図10】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図11】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図12】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【図13】本発明の実施の形態2である平面FEDスクリーンの製造方法の一製造ステップにおける半導体材料のウェハの斜視図を取り入れた断面図である。

【符号の説明】

- 1 基板
- 3 第1の導電層
- 5 抵抗層
- 6 誘電層(絶縁層)
- 8 第2の導電層
- 10 開口部
- 11 層
- 12 導電層
- 14 構造体(部分、放出構造体)

(7)

特開平10-188785

- 11
 15 エッジ (上面、端面)
 16 部分
 18 キャビティ
 21 レジストマスク
 22 第1の開口部
 23 スペース層
 25 スペース

- 12
 27 開口部
 28 層
 29 導電層
 30 構造体 (部分、放出構造体)
 31 エッジ
 32 部分

【図1】



Fig.1

【図2】

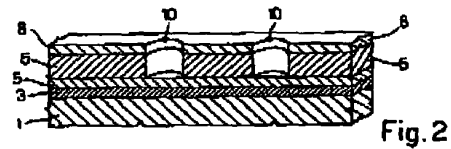


Fig.2

【図3】

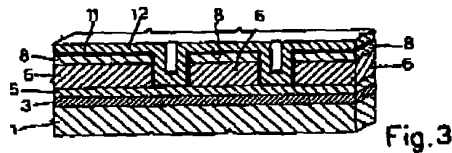


Fig.3

【図4】

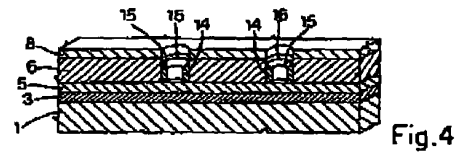


Fig.4

【図5】

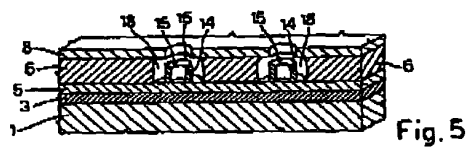


Fig.5

【図6】

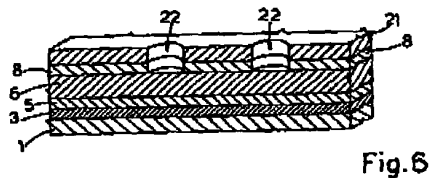


Fig.6

【図7】

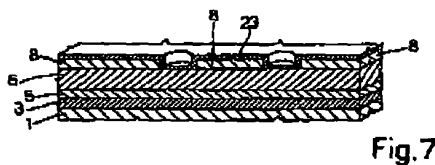


Fig.7

【図8】

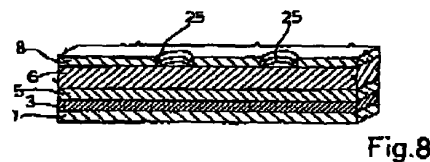


Fig.8

(8)

特開平10-188785

【図9】

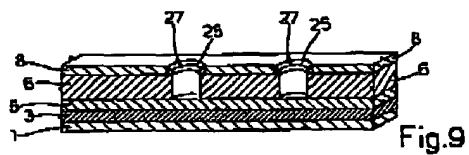


Fig.9

【図10】

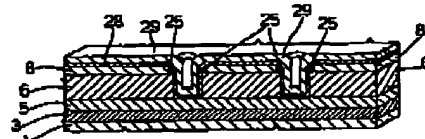


Fig.10

【図11】

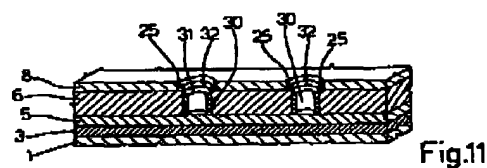


Fig.11

【図12】

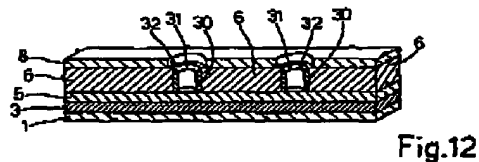


Fig.12

【図13】

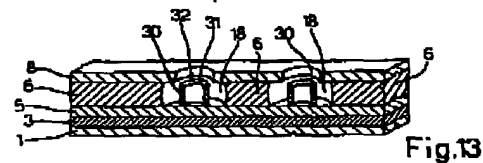


Fig.13

フロントページの続き

(72)発明者 マリア・ザンティーナ・マランゴン
イタリア国、20063 チェルンシュコ・ス
ル・ナヴィグリオ、ヴィア・ブオナルロッ
ティ、38